

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000357779
PUBLICATION DATE : 26-12-00

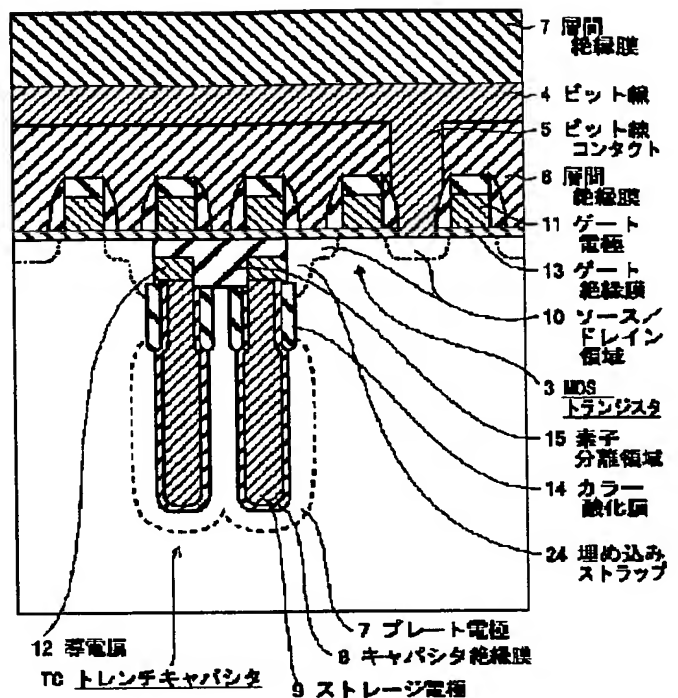
APPLICATION DATE : 05-04-00
APPLICATION NUMBER : 2000103303

APPLICANT : TOSHIBA CORP;

INVENTOR : SATO TSUTOMU;

INT.CL. : H01L 27/108 H01L 21/8242

TITLE : SEMICONDUCTOR DEVICE AND ITS MANUFACTURE



ABSTRACT : **PROBLEM TO BE SOLVED:** To improve the characteristic of a semiconductor device, by forming on its semiconductor substrate a transistor one of whose source/drain diffusion layers is connected electrically with its storage electrode, and by making nearly uniform the thickness of the oxide film of the sidewall of its trench.

SOLUTION: By using an ordinary technique, an impurity, e.g. As, etc., is diffused from the portion of a trench wherefrom a p-type silicon substrate is exposed to the external to form a plate electrode 7. Then, by using an ordinary technique, a capacitor insulation film 8, e.g. an NO film, etc., is formed in the inner surface of the trench to a predetermined height. Further, by using an ordinary technique, on the surface of the capacitor insulation film 8 in the trench, such a storage electrode 9 as a polysilicon film doped with, e.g. As is formed. Thereafter, by using an ordinary technique, a DRAM is formed. Therefore, the thickness of a collar oxide film 14 of the sidewall of the trench is formed nearly uniformly to make easily controllable the threshold of a longitudinal parasitic transistor.

COPYRIGHT: (C)2000,JPO

BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-357779

(P2000-357779A)

(43) 公開日 平成12年12月26日 (2000.12.26)

(51) Int.Cl.⁷

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

テ-7J-ト* (参考)

6 2 5 A 5 F 0 8 3

審査請求 未請求 請求項の数11 O L (全 13 頁)

(21) 出願番号 特願2000-103303 (P2000-103303)

(22) 出願日 平成12年4月5日 (2000.4.5)

(31) 優先権主張番号 特願平11-108094

(32) 優先日 平成11年4月15日 (1999.4.15)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 鬼頭 傑

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 佐藤 力

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

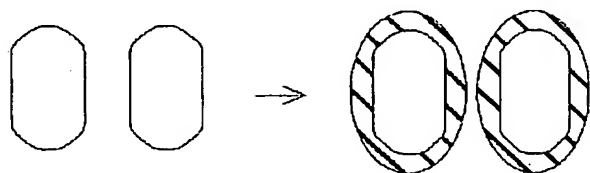
Fターム(参考) 5F083 AD17 AD60 JA04 PR12 PR18
PR33

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 トレンチ側壁酸化膜の膜厚をほぼ均一とすること。

【解決手段】 本発明にかかる半導体装置の製造方法は、トレンチ形成後に熱工程を経ることによりトレンチをほぼ八面体とし、熱酸化膜を形成することにより酸化膜の膜厚をほぼ一定とできる。



酸化前

酸化後

23 シリコン酸化膜
(カラー酸化膜)

【特許請求の範囲】

【請求項1】 半導体基板にトレンチを形成する工程

と、

前記トレンチを非酸化性雰囲気中で熱処理する工程と、
前記トレンチの基板表面から所定の深さまでの表面に選択的に熱酸化膜を形成する工程と、前記トレンチ内にキャパシタ絶縁膜を形成する工程と、
前記トレンチ内にストレージ電極を形成する工程と、
前記半導体基板上に、ソース／ドレイン拡散層のうち一方が前記ストレージ電極と電気的に接続されたトランジスタを形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記熱酸化膜は、前記トレンチの底部から所定の深さまでの表面にマスク膜を形成した後、前記トレンチを熱酸化する工程とにより形成されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記所定の深さは、半導体基板の表面から0.5 μ m乃至1.6 μ m程度であることを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 前記熱処理は還元性のある非酸化性雰囲気中で行うことを特徴とする請求項1乃至3記載の半導体装置の製造方法。

【請求項5】 前記熱処理は、900℃以上1000℃以下、100 Torr以上の条件で行うことを特徴とする請求項1乃至4記載の半導体装置の製造方法。

【請求項6】 前記熱酸化膜を形成する工程と前記キャパシタ絶縁膜を形成する工程との間に、前記トレンチの前記所定の深さより下部の径を拡大する工程を含むことを特徴とする請求項1乃至5記載の半導体装置の製造方法。

【請求項7】 前記トレンチの前記所定の深さより下部の径を拡大する工程は、前記熱酸化膜をマスクとして、前記トレンチに露出している前記半導体基板をエッチングすることにより行われることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 半導体基板に形成されたトレンチと、
前記トレンチの基板表面から所定の深さまでの側面に形成された熱酸化膜と、
前記トレンチ内の表面に形成されたキャパシタ絶縁膜と、
前記キャパシタ絶縁膜の表面に形成されたストレージ電極と、

ソース／ドレイン領域の一方が前記ストレージ電極と電気的に接続されたトランジスタとを具備し、

前記トレンチの前記所定の深さにおける断面形状は略八面体であることを特徴とする半導体装置。

【請求項9】 前記トレンチの基板表面付近における断面形状は略楕円形であることを特徴とする請求項8記載の半導体装置。

【請求項10】 前記所定の深さは、半導体基板の表面

から0.5 μ m乃至1.6 μ m程度であることを特徴とする請求項8又は9記載の半導体装置。

【請求項11】 前記トレンチの前記所定の深さより下部の径は、前記トレンチの基板表面から前記所定の深さまでの径よりも大きいことを特徴とする請求項8乃至10記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DRAMの製造方法、特にトレンチキャパシタの製造方法に関する。

【0002】

【従来の技術】トレンチキャパシタを形成する工程において、寄生トランジスタの発生を抑えるためにトレンチ上部の側面に絶縁膜（以降「カラー酸化膜」と言う）を形成する。このカラー酸化膜を形成するのに、カラー酸化膜を形成したい部分を酸化して熱酸化膜を形成するプロセスがある。

【0003】

【発明が解決しようとする課題】トレンチは一般に、シリコン基板をRIE法を用いてエッチングすることにより形成される。このRIEを行った後は、トレンチ1のシリコン基板表面より浅い領域では、図1(a)に示したようにトレンチ径形状が楕円形状である。しかし、トレンチの深さ約0.5 μ mより深い位置から下方においては、図1(b)に示したようにトレンチ径形状が長方形又は長方形に近い形状となる。そして、トレンチ径形状が長方形又は長方形に近い形状の部分を酸化すると、図1(b)に示したように、四隅（角）で酸化が進まず、他の面の酸化膜厚に比べて膜厚が薄くなってしまふ。すると、その後のウェットエッチング等の工程において酸化膜厚が薄い部分が完全に除去されてしまふおそれがある。そして、トレンチ側面のシリコン基板表面が露出してしまうことがある。トレンチ側面のシリコン基板表面が露出すると、その後の不純物拡散工程で、その露出表面からシリコン基板中に不純物が拡散してしまふ。これにより、情報転送用のセルトランジスタとプレート電極との絶縁ができなくなってしまう。また、ウェットエッチング等の工程において酸化膜厚が薄い部分が完全には除去されないとしても、酸化膜が薄くなることにより、縦型寄生トランジスタのしきい値を動作上問題ない状態にすることができなくなる。これにより、縦方向のリーク電流の増加を招き、半導体装置の特性を劣化させることとなる。

【0004】本発明は、上記問題点に鑑みてなされたものであり、トレンチ側壁の酸化膜の膜厚をほぼ均一にすることにより半導体装置の特性を向上させることを目的とする。

【0005】

【課題を解決するための手段】本発明にかかる半導体装置は、半導体基板に形成されたトレンチと、前記トレン

チの基板表面から所定の深さまでの側面に形成された熱酸化膜と、前記トレンチ内の表面に形成されたキャパシタ絶縁膜と、前記キャパシタ絶縁膜の表面に形成されたストレージ電極と、前記半導体基板内であって、前記キャパシタ絶縁膜を挟んで前記ストレージ電極と対向する位置に形成されたプレート電極と、ソース／ドレイン領域の一方が前記ストレージ電極と電気的に接続されたトランジスタとを具備し、前記トレンチの前記所定の深さにおける断面形状は略八面体であることを特徴とする。ここで、前記トレンチの基板表面付近における断面形状は略楕円形であることも考えられる。また、前記所定の深さは、半導体基板の表面から $0.5\mu\text{m}$ 乃至 $1.6\mu\text{m}$ 程度であることが考えられる。本発明にかかる半導体装置の製造方法は、半導体基板にトレンチを形成する工程と、前記トレンチを非酸化性雰囲気中で熱処理する工程と、前記トレンチの基板表面から所定の深さまでの表面に選択的に熱酸化膜を形成する工程と、前記トレンチの底面から前記所定の深さまでの側面から不純物を拡散させてプレート電極を形成する工程と、前記トレンチ内にキャパシタ絶縁膜を形成する工程と、前記トレンチ内にストレージ電極を形成する工程と、前記半導体基板上に、ソース／ドレイン拡散層のうち一方が前記ストレージ電極と電気的に接続されたトランジスタを形成する工程とを具備することを特徴とする。

【0006】ここで、前記熱酸化膜は、前記トレンチの底部から所定の深さまでの表面にマスク膜を形成した後、前記トレンチを熱酸化する工程とにより形成されることが考えられる。また、前記所定の深さは、半導体基板の表面から $0.5\mu\text{m}$ 乃至 $1.6\mu\text{m}$ 程度であることが考えられる。また、前記熱処理は還元性のある非酸化性雰囲気中で行うことが好ましい。前記熱処理は、 900°C 以上 1000°C 以下、 100Torr 以上の条件で行うことが好ましい。前記熱処理は、 900°C 以上、 100Torr 以上 100Torr 以下の条件で行うことが好ましい。これにより、本発明にかかる半導体装置は、トレンチ側壁のカラー酸化膜の膜厚がほぼ均一であり、縦型寄生トランジスタのしきい値を制御しやすくでき、また、その後のエッチング工程において酸化膜が完全には除去されることを抑制することが可能となる。また、本発明にかかる半導体装置の製造方法によると、トレンチ側壁の酸化膜の膜厚をほぼ均一にすることにより半導体装置の特性を向上させることを可能となる。

【0007】

【発明の実施の形態】＜第1の実施の形態＞本発明の第1の実施の形態について図面（図2～図13）を参照して説明する。図2に本発明の第1の実施の形態にかかる半導体装置（ここでは、DRAMセルを例に取る）の断面図を示す。このDRAMセルは情報蓄積用のトレンチキャパシタ2及び情報転送用のMOSTランジスタ3からなる。トレンチキャパシタ2は、プレート電極7、キ

ャパシタ絶縁膜8及びストレージ電極9からなる。トレンチキャパシタ2は2つが隣り合わせて形成されおり、素子分離領域15で素子分離されている。トレンチキャパシタ2が形成されるトレンチは、カラー酸化膜の下部より上方における上面から見た断面形状がほぼ八面体になっている。なお、プレート電極7はなくても構わない。この場合は、ストレージ電極9に電圧がかかったときに、p型シリコン基板28のトレンチキャパシタ2に隣接した領域にプレート電極が形成されることとなる。MOSTランジスタ3は、p型シリコン基板28内に形成されたソース／ドレイン領域10、p型シリコン基板28上に形成されたゲート絶縁膜13及びゲート絶縁膜13上に形成されたゲート電極11からなる。

【0008】ストレージ電極9は、導電膜12及び埋め込みストラップ24を介してソース／ドレイン領域10の一方と電気的に接続されている。ゲート電極11に電圧を加えることによりソース／ドレイン領域10の一方はその他方と電気的に接続される。ソース／ドレイン領域10の他方は、ビット線コンタクト5を介してビット線4に接続されている。これにより、トレンチキャパシタ2に蓄積された情報をビット線4に転送することが可能となる。ここで、ビット線4とビット線コンタクト5は同時に形成されたものであっても構わない。トレンチキャパシタ2の上部の側面に例えばシリコン酸化膜からなるカラー酸化膜14が形成されている。このカラー酸化膜14の底部はp型シリコン基板28の上面から深さ約 $1.2\mu\text{m}$ から $1.3\mu\text{m}$ 程度になるように形成されている。次に、図2に示したDRAMの製造方法について図面（図3～図13）を参照して説明する。まず、図3に示したようにトレンチ19を形成する。それには、まず熱酸化法を用いてp型シリコン基板28上にシリコン酸化膜16を厚さ 5nm 程度に形成する。さらに、CVD法を用いて全面にシリコン窒化膜17を厚さ 200nm 程度、TEOS膜を厚さ 700nm 程度にそれぞれ形成する。さらに、通常のリソグラフィ工程により図示せぬレジストをマスクとしてTEOS膜18及びシリコン窒化膜17のうちトレンチを形成する部分をエッチングする。そして、図示せぬレジストを除去した後、TEOS膜18をマスクとしてp型シリコン基板28をエッチングすることにより、トレンチ19を深さ $7\mu\text{m}$ 程度に形成する。このトレンチ19のうちp型シリコン基板28上面付近の部分の上面から見た断面は楕円形であるが、深さ $0.5\mu\text{m}$ 程度より深い部分の断面は長方形に近い形になっている。

【0009】次に、図4に示したように、熱酸化法を用いてトレンチ19の表面を酸化し、シリコン酸化膜20を厚さ 5nm 程度に形成する。さらに、CVD法を用いて全面にシリコン窒化膜21を厚さ 8nm 程度に形成する。このシリコン窒化膜21は、後述するようにカラー酸化膜を形成する際のマスクとなるものである。次に、

図5に示したように、回転塗布法を用いて全面にレジストを形成する。そして、例えばCDE (Chemical Dry Etching) 法などのレジストエッチバックによりレジストをエッチングする。これにより、レジストの上面をトレンチ19のp型シリコン基板28上面から深さ0.5~1.6 μm 程度となるようにする。次に、図6に示したように、レジスト22をマスクとしてCDE法を用いることにより、トレンチ19のうちレジスト22の上面より上に形成されているシリコン窒化膜21を除去する。さらに、フッ酸系のウェットエッチング法を用いて、シリコン酸化膜20のうち、表面にシリコン窒化膜21が形成されていない部分を除去する。このシリコン酸化膜20の一部を除去する工程は、レジスト22を除去する工程(図7参照)の後で行っても構わない。

【0010】次に、図7に示したように、アッシングなどによりレジスト22を除去する。そして、例えば水素雰囲気などの非酸化性雰囲気中で、温度が900℃から1000℃程度、圧力が380 Torr程度、時間が10分程度の条件でアニール処理(熱処理)を行う。図8は図7におけるA-A' (p型シリコン基板28の上面から深さ0.5 μm 程度の部分)での上面から見た断面図である。ここに示したように、アニール処理前においては、p型シリコン基板28の上面から深さ0.5 μm 程度以上の深さの部分の上面から見た断面形状は、長方形又は長方形に近い形状であった。しかし、アニール処理により、その断面形状が結晶面を反映して八面体又は八面体に近い形状となる。なお、トレンチ19のうちp型シリコン基板28上面付近の部分の上面から見た断面も、アニール処理後は八面体又は八面体に近い形状になる。また、このアニール処理によりトレンチ19付近のp型シリコン基板28に含まれる不純物が外方拡散される。このため、トレンチ19付近では不純物濃度がp型シリコン基板28の通常の濃度よりも薄くなる。ここで、図7のアニール処理は、温度925℃程度、圧力380 Torr程度、時間が10分程度の条件がより好ましい。また、雰囲気は還元性のある非酸化性雰囲気、例えば還元性水素雰囲気で行うことが望ましい。これらの条件は、高温、低圧であればあるほど、シリコンマイグレーションが大きく生じ、短時間でトレンチ断面形状を八角形とすることが可能となる。一方、低温、高圧であれば、シリコンマイグレーションが小さくなり、トレンチ断面形状を八角形とするのに時間がかかるが、形状の均一性は向上する利点がある。

【0011】次に、図9に示したように、シリコン窒化膜21をマスクとしてトレンチ19表面を酸化することにより、シリコン酸化膜23をトレンチ19表面のうちシリコン窒化膜21が形成されていない部分に選択的に厚さ50 nm程度に形成する。このシリコン酸化膜23がカラー酸化膜となるものである。図10は図9におけるB-B' (p型シリコン基板28の上面から深さ0.

5 μm 程度の部分)での上面から見た断面図である。ここに示したように、八角形のトレンチ断面形状においては、シリコン酸化膜23が全体としてほぼ均一に形成される。すなわち、従来技術(図1(b)参照)のように極端に膜厚が薄くなる部分が形成されることを抑制することができる。次に、図11に示したように、HF/G RYCEROLなどの溶液又はCDE法を用いてシリコン窒化膜21を除去する。さらに、フッ酸系のウェットエッチング法を用いてシリコン酸化膜20を除去する。この工程で、シリコン酸化膜23も表面が除去されることとなる。しかし、本実施の形態によると、シリコン酸化膜23は膜厚がほぼ均一に形成されているため、表面が除去されても極端に膜厚の薄い部分やp型シリコン基板28が露出するような箇所の発生を抑制することが可能となる。

【0012】次に、図12に示したように、通常の技術を用いて、トレンチ19のうちp型シリコン基板28が露出している部分から例えばAs(砒素)などの不純物を拡散させる。これにより、プレート電極7が形成される。上述したように、このプレート電極を形成しなくても構わない。次に、図13に示したように、通常の技術により、トレンチ19内の表面のうち所定の高さまでに例えばNO膜などのキャパシタ絶縁膜8を形成する。さらに、通常の技術により、トレンチ19内のキャパシタ絶縁膜8の表面に例えばAsがドーパされたポリシリコン膜などのストレージ電極9を形成する。その後、通常の技術を用いて図2に示したDRAMが形成される。本発明の第1の実施の形態によると、トレンチ側壁のカラー酸化膜の膜厚をほぼ均一に形成することが可能となる。これにより、縦型寄生トランジスタのしきい値を制御しやすくなる。つまり、プレート電極7とソース/ドレイン領域10との間のリーク電流を抑制することが可能となる。また、その後のエッチング工程においてカラー酸化膜が完全に除去されることを抑制することが可能となる。また、図7のアニール処理を還元性のある非酸化性雰囲気で行えば、トレンチ19内のp型シリコン基板28表面に自然酸化膜が形成されても、これを除去することが可能となる。

【0013】ここで、上記アニール処理の条件について図34(a)~(c)に示す。図34(a)に示したように、アニール処理の条件として、950℃以上の高温であれば処理に必要な時間を短くすることが可能となる。また、図34(b)に示したように、100 Torr以下の低圧であれば処理に必要な時間を短くすることが可能となる。また、高温・高圧下でアニール処理を行うと、トレンチ19の断面形状の長辺が短くなり、短辺が長くなる方向に変形しやすくなる。そのため、埋め込みストラップ24がゲート電極11方向に延びることから、チャネル長が短くなるショートチャネル効果を引き起こすこととなる。これに対して、アニール処理を温度

950℃以下の低温とすればショートチャネル効果を抑制することができ、かつ、10 Torr程度の低圧力にすることにより、アニール処理の時間を短くすることが可能となる(図34(c)参照)。また、温度が950℃以下、圧力が100 Torr以上の低温・高圧下でアニール処理を行うことにより、トレンチの断面形状を均一なものとするのが可能となる。さらに、図7及び図8に示したアニール処理によってトレンチ19付近のシリコン基板1における不純物濃度が薄くなっている。このため、プレート電極7を拡散層により形成しない半導体装置においては、ストレージ電極9に電圧を加えてトレンチ19周囲にプレート電極を形成する際の反転しきい値が低下し、プレート電極を形成しやすくなる利点がある。

【0014】<第2の実施の形態>本発明の第2の実施の形態にかかる半導体装置の製造方法について図面(図14～図22)を参照して説明する。本発明の第2の実施の形態にかかる半導体装置(ここでは、DRAMセルを例に取る)の断面図は図2に示したものと同様である。まず、図14に示したようにトレンチ19を形成する。それには、まず熱酸化法を用いてp型シリコン基板28上にシリコン酸化膜16を厚さ5 nm程度に形成する。さらに、CVD法を用いて全面にシリコン窒化膜17を厚さ200 nm程度、TEOS膜を厚さ700 nm程度にそれぞれ形成する。さらに、通常のリソグラフィ工程により図示せぬレジストをマスクとしてTEOS膜18及びシリコン窒化膜17のうちトレンチを形成する部分をエッチングする。そして、図示せぬレジストを除去した後、TEOS膜18をマスクとしてp型シリコン基板28をエッチングすることにより、トレンチ19を深さ7 μm程度に形成する。このトレンチ19のうちp型シリコン基板28上面付近の部分の上面から見た断面は楕円形であるが、深さ0.5 μm程度より深い部分の断面は長方形に近い形になっている。

【0015】次に、図15に示したように、n型不純物を含んだ膜、例えばAs SG膜25を厚さ10～15 nm程度に形成する。そして、全面にレジスト26を塗布した後、I-line recess やCDE法を用いたレジストエッチバックすることにより、レジスト26をトレンチ19内の所定の深さにまで形成する。この所定の深さはプレート電極を形成する位置により定まる。ここでは、p型シリコン基板28の上面から深さ1.4 μm程度とする。次に、図16に示したように、レジスト26をマスクとしてフッ酸系のウェットエッチング法を用いることにより、As SG膜25の一部を除去する。これにより、As SG膜25をトレンチ19内のレジスト26が形成されている深さくらいまでの表面にのみ残すことが可能となる。さらに、アッシングによりレジスト26を除去する。次に、図17に示したように、全面にTEOS膜27を10 nm～20 nm程度に形成する。そし

て、アルゴン雰囲気中で1000℃程度、30分程アニール処理することにより、As SG膜25に含まれる不純物Asをp型シリコン基板28に拡散させる。これにより、プレート電極7が形成される。ここで、TEOS膜27は不純物Asが外方拡散するのを防止するためのものである。なお第1の実施の形態と同様、このプレート電極を形成しなくても構わない。

【0016】次に、図18に示したように、フッ酸系のウェットエッチング法を用いてAs SG膜25及びTEOS膜27を除去する。次に、図19に示したように、熱酸化法を用いてトレンチ19の表面を酸化し、シリコン酸化膜20を厚さ5 nm程度に形成する。そして、CVD法を用いて全面にシリコン窒化膜21を厚さ8 nm程度に形成する。このシリコン窒化膜21は、後述するようにカラー酸化膜を形成する際のマスクとなるものである。さらに、図示せぬレジストを全面に形成した後、レジストエッチバックによりレジストの上面をトレンチ19のp型シリコン基板28上面から深さ1.2～1.3 μm程度となるようにする。そして、そのレジストをマスクとしてCDE法を用いることにより、トレンチ19のうちレジストの上面より上に形成されているシリコン窒化膜21を除去する。さらに、フッ酸系のウェットエッチング法を用いて、シリコン酸化膜20のうち、表面にシリコン窒化膜21が形成されていない部分を除去する。最後に、アッシングなどによりレジスト22を除去する。次に、例えば水素雰囲気などの非酸化性雰囲気中で、温度が900℃から1000℃程度、圧力が380 Torr程度、時間が10分程度の条件でアニール処理(熱処理)を行う。

【0017】図20は図19におけるC-C'(p型シリコン基板28の上面から深さ0.5 μm程度の部分)での上面から見た断面図である。ここに示したように、アニール処理前においては、p型シリコン基板28の上面から深さ0.5 μm程度以上の深さの部分の上面から見た断面形状は、長方形又は長方形に近い形状であった。しかし、アニール処理により、その断面形状が結晶面を反映して八面体又は八面体に近い形状となる。なお、トレンチ19のうちp型シリコン基板28上面付近の部分の上面から見た断面もアニール処理後は八面体又は八面体に近い形状となる。また、このアニール処理によりトレンチ19付近のp型シリコン基板28に含まれる不純物が外方拡散される。このため、トレンチ19付近では不純物濃度がp型シリコン基板28の通常の濃度よりも薄くなる。ここで、図19のアニール処理は、温度925℃程度、圧力380 Torr程度、時間が10分程度の条件がより好ましい。また、雰囲気は還元性のある非酸化性雰囲気、例えば還元性水素雰囲気で行うことが望ましい。これらの条件は、高温、低圧であればあるほど、シリコンマイグレーションが大きく生じ、短時間でトレンチ断面形状を八角形とすることが可能とな

る。一方、低温、高压であれば、シリコンマイグレーションが小さくなり、トレンチ断面形状を八角形とするのに時間がかかるが、形状の均一性は向上する利点がある。

【0018】次に、図21に示したように、シリコン窒化膜21をマスクとしてトレンチ19表面を酸化することにより、シリコン酸化膜23をトレンチ19表面のうちシリコン窒化膜21が形成されていない部分に選択的に厚さ50nm程度に形成する。このシリコン酸化膜23がカラー酸化膜となるものである。そして、HF/G RY CEROLなどの溶液又はCDE法を用いてシリコン窒化膜21を除去する。さらに、フッ酸系のウェットエッチング法を用いてシリコン酸化膜20を除去する。この工程で、シリコン酸化膜23も表面が除去されることとなる。しかし、本実施の形態によると、シリコン酸化膜23は膜厚がほぼ均一に形成されているため、表面が除去されても極端に膜厚の薄い部分やp型シリコン基板28が露出するような箇所の発生を抑制することが可能となる。図22は図21におけるD-D' (p型シリコン基板28の上面から深さ0.5μm程度の部分)での上面から見た断面図である。ここに示したように、八角形のトレンチ断面形状においては、シリコン酸化膜23が全体としてほぼ均一に形成される。すなわち、従来技術(図1(b)参照)のように極端に膜厚が薄くなる部分が形成されることを抑制することができる。

【0019】これ以降の工程は、第1の実施の形態で示した工程(図13、図2参照)により、図2に示したDRAMが形成される。本発明の第2の実施の形態によると、第1の実施の形態と同様の効果を得ることができる。

＜第3の実施の形態＞本発明の第3の実施の形態にかかる半導体装置の製造方法について図面(図23～図33)を参照して説明する。本発明の第3の実施の形態にかかる半導体装置(ここでは、DRAMセルを例に取る)の断面図は図2に示したものと同様である。まず、図23に示したようにトレンチ19を形成する。それには、まず熱酸化法を用いてp型シリコン基板28上にシリコン酸化膜16を厚さ5nm程度に形成する。さらに、CVD法を用いて全面にシリコン窒化膜17を厚さ200nm程度、TEOS膜を厚さ700nm程度にそれぞれ形成する。さらに、通常のリソグラフィ工程により図示せぬレジストをマスクとしてTEOS膜18及びシリコン窒化膜17のうちトレンチを形成する部分をエッチングする。そして、図示せぬレジストを除去した後、TEOS膜18をマスクとしてp型シリコン基板28をエッチングすることにより、トレンチ19を深さ7μm程度に形成する。このトレンチ19のうちp型シリコン基板28上面付近の部分の上面から見た断面は楕円形であるが、深さ0.5μm程度より深い部分の断面は長方形に近い形になっている。

【0020】そして、例えば水素雰囲気などの非酸化性雰囲気中で、温度が900℃から1000℃程度、圧力が380Torr程度、時間が10分程度の条件でアニール処理(熱処理)を行う。図24は図23におけるE-E' (p型シリコン基板28の上面から深さ0.5μm程度の部分)での上面から見た断面図である。ここに示したように、アニール処理前においては、p型シリコン基板28の上面から深さ0.5μm程度以上の深さの部分の上面から見た断面形状は、長方形又は長方形に近い形状であった。しかし、アニール処理により、その断面形状が結晶面を反映して八面体又は八面体に近い形状となる。なお、トレンチ19の上面から見た断面もアニール処理後は八面体又は八面体に近い形状となる。また、このアニール処理によりトレンチ19付近のp型シリコン基板28に含まれる不純物が外方拡散される。このため、トレンチ19付近では不純物濃度がp型シリコン基板28の通常濃度よりも薄くなる。ここで、図23のアニール処理は、温度925℃程度、圧力380Torr程度、時間が10分程度の条件がより好ましい。また、雰囲気は還元性のある非酸化性雰囲気、例えば還元性水素雰囲気で行うことが望ましい。これらの条件は、高温、低压であればあるほど、シリコンマイグレーションが大きく生じ、短時間でトレンチ断面形状を八角形とすることが可能となる。一方、低温、高压であれば、シリコンマイグレーションが小さくなり、トレンチ断面形状を八角形とするのに時間がかかるが、形状の均一性は向上する利点がある。

【0021】次に、図25に示したように、熱酸化法を用いてトレンチ19の表面を酸化し、シリコン酸化膜20を厚さ5nm程度に形成する。さらに、CVD法を用いて全面にシリコン窒化膜21を厚さ8nm程度に形成する。このシリコン窒化膜21は、後述するようにカラー酸化膜を形成する際のマスクとなるものである。次に、図26に示したように、回転塗布法を用いて全面にレジストを形成する。そして、例えばCDE (Chemical Dry Etching) 法などのレジストエッチバックによりレジストをエッチングする。これにより、レジストの上面をトレンチ19のp型シリコン基板28上面から深さ1.2～1.3μm程度となるようにする。次に、図27に示したように、レジスト22をマスクとしてCDE法を用いることにより、トレンチ19のうちレジスト22の上面より上に形成されているシリコン窒化膜21を除去する。さらに、フッ酸系のウェットエッチング法を用いて、シリコン酸化膜20のうち、表面にシリコン窒化膜21が形成されていない部分を除去する。次に、図28に示したように、アッシングなどによりレジスト22を除去する。次に、図29に示したように、シリコン窒化膜21をマスクとしてトレンチ19表面を酸化することにより、シリコン酸化膜23をトレンチ19表面のうちシリコン窒化膜21が形成されていない部分に選択

的に厚さ50nm程度に形成する。このシリコン酸化膜23がカラー酸化膜となるものである。

【0022】図30は図29におけるF-F' (p型シリコン基板28の上面から深さ0.5 μ m程度の部分)での上面から見た断面図である。ここに示したように、八角形のトレンチ断面形状においては、シリコン酸化膜23が全体としてほぼ均一に形成される。すなわち、従来技術(図1(b)参照)のように極端に膜厚が薄くなる部分が形成されることを抑制することができる。次に、図31に示したように、HF/GRYCEROLなどの溶液又はCDE法を用いてシリコン窒化膜21を除去する。さらに、フッ酸系のウェットエッチング法を用いてシリコン酸化膜20を除去する。この工程で、シリコン酸化膜23も表面が除去されることとなる。しかし、本実施の形態によると、シリコン酸化膜23は膜厚がほぼ均一に形成されているため、表面が除去されても極端に膜厚の薄い部分やp型シリコン基板28が露出するような箇所の発生を抑制することが可能となる。次に、図32に示したように、トレンチ19のうちp型シリコン基板28が露出している部分から例えばAs(砒素)などの不純物を拡散させる。これにより、プレート電極7が形成される。上述したように、このプレート電極を形成しなくても構わない。

【0023】次に、図33に示したように、通常の技術により、トレンチ19内の表面のうち所定の高さまでに例えばNO膜などのキャパシタ絶縁膜8を形成する。さらに、通常の技術により、トレンチ19内のキャパシタ絶縁膜8の表面に例えばAsがドーパされたポリシリコン膜などのストレージ電極9を形成する。その後、通常の技術を用いて図2に示したDRAMが形成される。本発明の第3の実施の形態によると、第1の実施の形態と同様の効果を得ることができる。

<第1乃至第3の実施の形態の変形例>ところで、上記実施の形態ではいずれも、シリコン窒化膜21およびシリコン酸化膜20を除去する工程の後、続いてプレート電極7を形成している。たとえば、第1の実施例においては、図11に示す工程において、HF/GRYCEROLなどの溶液又はCDE法を用いてシリコン窒化膜21を除去し、さらに、フッ酸系のエッチング剤を用いたウェットエッチング法を用いてシリコン酸化膜20を除去した後、続く図12に示す工程において、トレンチ19のうちp型シリコン基板28が露出している部分からp型シリコン基板28に例えばAs(砒素)などの不純物を拡散させることにより、プレート電極7を形成している。しかしながら、図11に示すシリコン窒化膜21およびシリコン酸化膜20を除去する工程の後、続いて、シリコン酸化膜23をマスクとして用いて、ウェットエッチング法あるいはCDE法を用いてトレンチ19に露出しているp型シリコン基板28部分をエッチングし、図35に示したように、トレンチ19の径を拡大し

てもよい。すなわち、シリコン酸化膜23の底部より深い位置におけるトレンチ19の径を拡大してもよい。その場合、シリコン酸化膜23の底部より深い位置におけるトレンチ19の径はシリコン酸化膜23の底部より浅い位置におけるトレンチ19の径よりも大きくなる。すなわち、シリコン酸化膜23の底部の深さである所定の深さから前記トレンチの底部までの前記トレンチの径は前記トレンチの基板表面からシリコン酸化膜23の底部までの前記トレンチの径よりも大きくなる。このエッチング工程後、第1の実施の形態におけるのと同様に、図12、13に示す工程を経て、さらに、その後、通常の技術を用いて、素子分離膜15、ソース/ドレイン領域10、ゲート絶縁膜13、ゲート電極11、ゲートビット間層間絶縁膜6、ビット線コンタクト5、ビット線4、ビット線4上の層間絶縁膜29等を形成することにより、図36に示されるようなDRAMセルが形成される。トレンチ19の径を拡大することにより、トレンチ19の表面積が拡大し、それにより、トレンチキャパシタ2の容量を大きくすることができる。

【0024】第2の実施の形態においても同様であり、図21に示すシリコン窒化膜21およびシリコン酸化膜20を除去する工程の後、続いて、シリコン酸化膜23をマスクとして用いて、ウェットエッチング法あるいはCDE法を用いてトレンチ19に露出しているp型シリコン基板28部分をエッチングし、図35に示したように、トレンチ19の径を拡大してもよい。すなわち、シリコン酸化膜23の底部より深い位置におけるトレンチ19の径を拡大してもよい。その場合、したがって、シリコン酸化膜23の底部より深い位置におけるトレンチ19の径はシリコン酸化膜23の底部より浅い位置におけるトレンチ19の径よりも大きくなる。すなわち、シリコン酸化膜23の底部の深さである所定の深さから前記トレンチの底部までの前記トレンチの径は前記トレンチの基板表面からシリコン酸化膜23の底部までの前記トレンチの径よりも大きくなる。このエッチング工程後、第2の実施例におけるのと同様に、図23に示す工程を経て、さらに、その後、通常の技術を用いて、素子分離膜15、ソース/ドレイン領域10、ゲート絶縁膜13、ゲート電極11、ゲートビット間層間絶縁膜6、ビット線コンタクト5、ビット線4、ビット線4上の層間絶縁膜29等を形成することにより、図36に示されるようなDRAMセルが形成される。トレンチ19の径を拡大することにより、トレンチ19の表面積が拡大し、それにより、トレンチキャパシタ2の容量を大きくすることができる。

【0025】第3の実施の形態においても同様であり、図21に示すシリコン窒化膜21およびシリコン酸化膜20を除去する工程の後、続いて、シリコン酸化膜23をマスクとして用いて、ウェットエッチング法あるいはCDE法を用いてトレンチ19に露出しているp型シリ

コン基板28部分をエッチングし、図35に示したように、トレンチ19の径を拡大してもよい。すなわち、シリコン酸化膜23の底部より深い位置におけるトレンチ19の径を拡大してもよい。その場合、したがって、シリコン酸化膜23の底部より深い位置におけるトレンチ19の径はシリコン酸化膜23の底部より浅い位置におけるトレンチ19の径よりも大きくなる。すなわち、シリコン酸化膜23の底部の深さである所定の深さから前記トレンチの底部までの前記トレンチの径は前記トレンチの基板表面からシリコン酸化膜23の底部までの前記トレンチの径よりも大きくなる。このエッチング工程後、第3の実施例におけるのと同様に、図33、34に示した工程を経て、さらに、その後、通常の技術を用いて、素子分離膜15、ソース/ドレイン領域10、ゲート絶縁膜13、ゲート電極11、ゲートビット間層間絶縁膜6、ビット線コンタクト5、ビット線4、ビット線4上の層間絶縁膜29等を形成することにより、図36に示されるようなDRAMセルが形成される。トレンチ19の径を拡大することにより、トレンチ19の表面積が拡大し、それにより、トレンチキャパシタTCの容量を大きくすることができる。

【0026】

【発明の効果】本発明は、トレンチ側壁の酸化膜の膜厚をほぼ均一にすることにより半導体装置の特性を向上させることを可能とする。

【図面の簡単な説明】

【図1】 従来技術によるトレンチ側壁酸化後のトレンチ上部（基板表面付近）及びトレンチ下部（基板表面から深さ1 μ m以上）における酸化膜形状図。

【図2】 本発明の第1の実施の形態にかかる半導体装置の断面図。

【図3】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図4】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図5】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図6】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図7】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図8】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図9】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図10】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図11】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図12】 本発明の第1の実施の形態にかかる半導体

装置の製造工程断面図。

【図13】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図14】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図15】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図16】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図17】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図18】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図19】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図20】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図21】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図22】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図23】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図24】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図25】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図26】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図27】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図28】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図29】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図30】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図31】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図32】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図33】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図34】 本発明におけるアニール温度・圧力とシリコンマイグレーションとの関係図。

【図35】 本発明の第1乃至第3の実施の形態の変形例にかかる半導体装置の製造工程断面図。

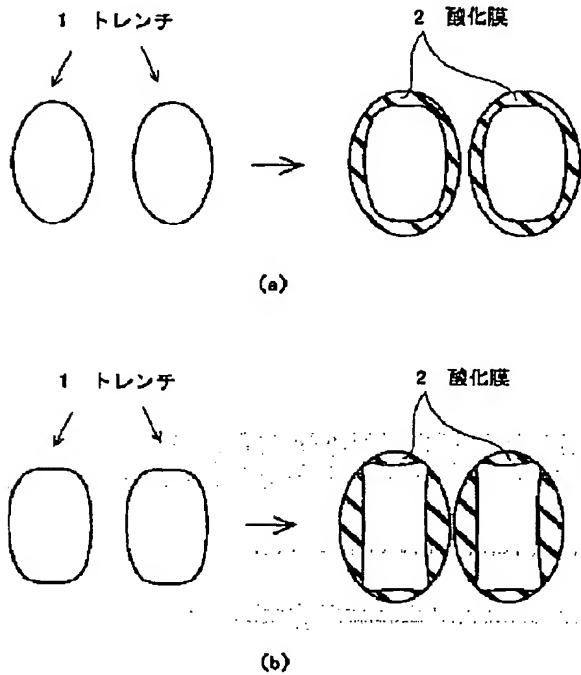
【図36】 本発明の第1乃至第3の実施の形態の変形例にかかる半導体装置の断面図。

【符号の説明】

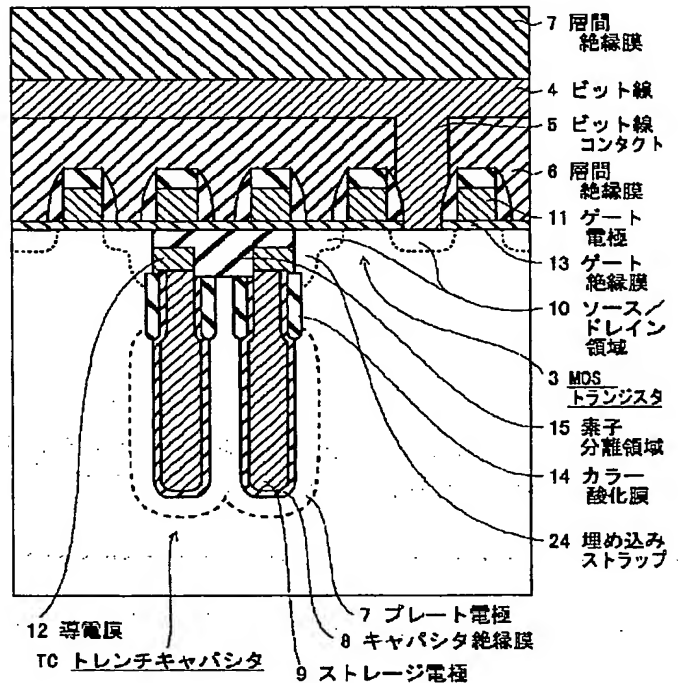
1 ……トレンチ、2 ……酸化膜、3 ……MOSトランジスタ、4 ……ビット線、5 ……ビット線コンタクト、6 ……層間絶縁膜、7 ……層間絶縁膜、8 ……キャパシタ絶縁膜、9 ……ストレージ電極、10 ……ソース/ドレイン領域、11 ……ゲート電極、12 ……導電膜、13 ……ゲート絶縁膜、14 ……カラー酸化膜、15 ……素子分離領域、16 ……シリコン酸化膜、17 ……シリコン窒化膜、

18 ……TEOS膜、19 ……トレンチ、20 ……シリコン酸化膜、21 ……シリコン窒化膜、22 ……レジスト、23 ……シリコン酸化膜(カラー酸化膜)、24 ……埋め込みストラップ、25 ……AsSG膜、26 ……レジスト、27 ……TEOS膜、28 ……p型シリコン基板、TC ……トレンチキャパシタ。

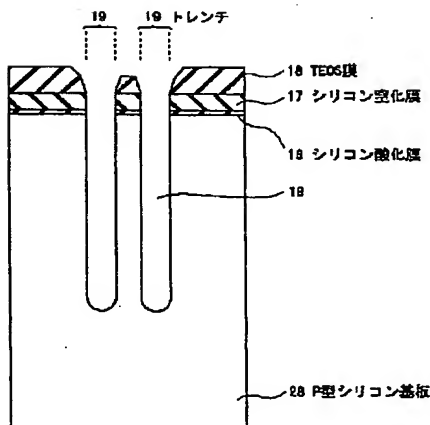
【図1】



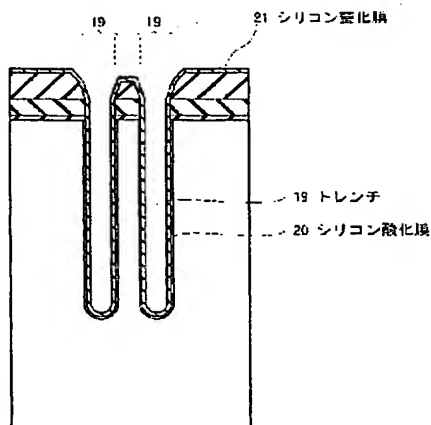
【図2】



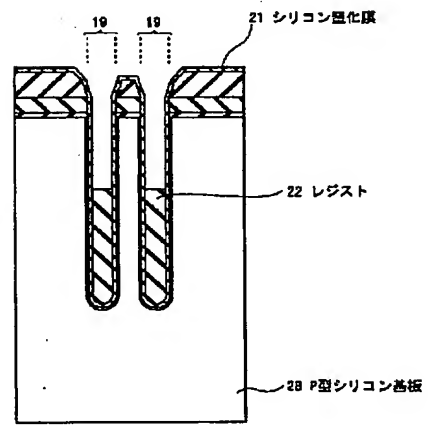
【図3】



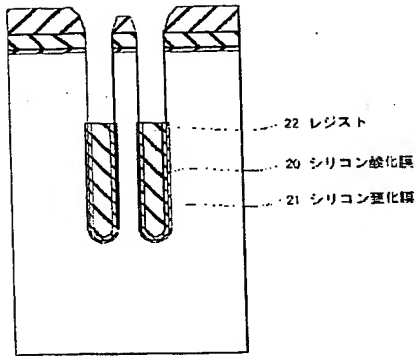
【図4】



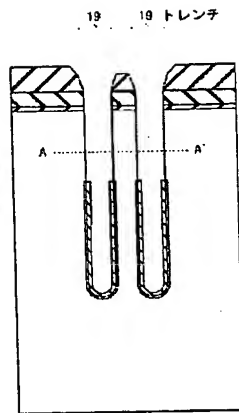
【図5】



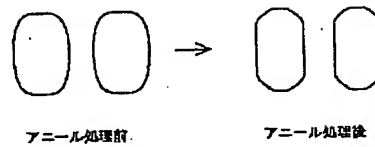
【図6】



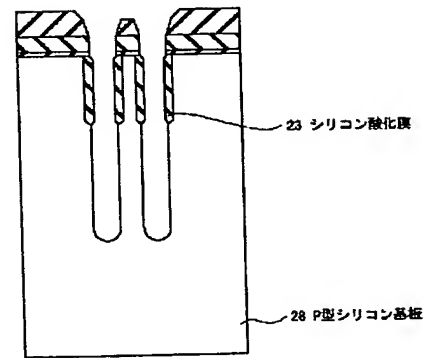
【図7】



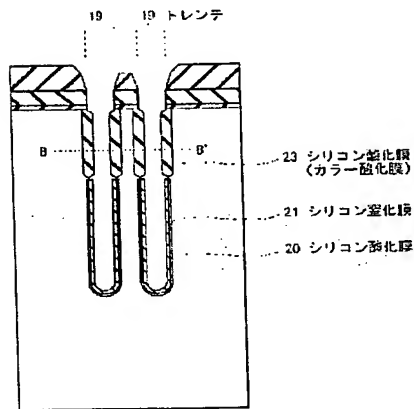
【図8】



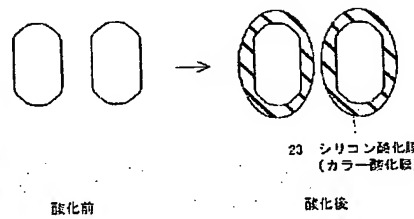
【図11】



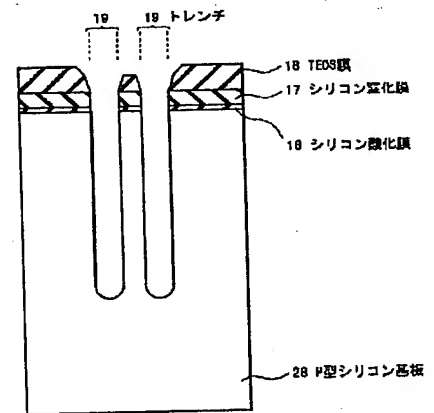
【図9】



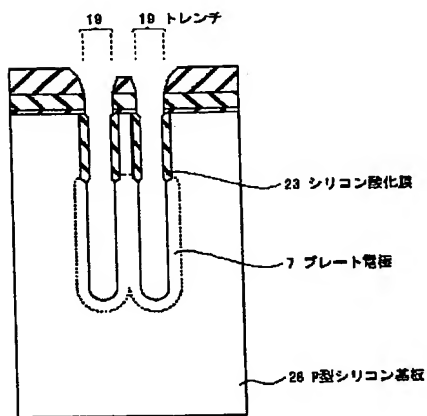
【図10】



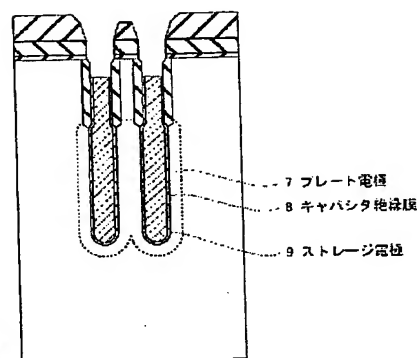
【図14】



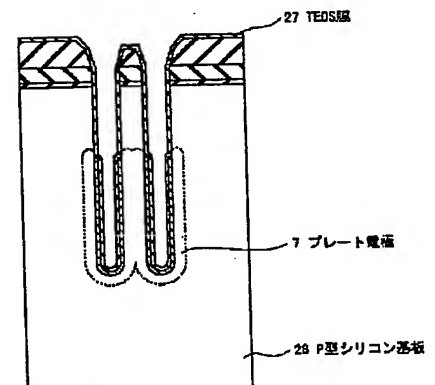
【図12】



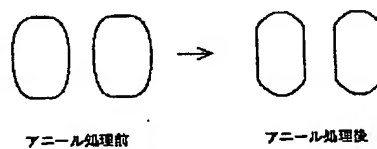
【図13】



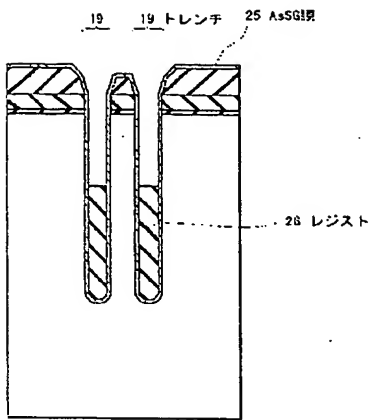
【図17】



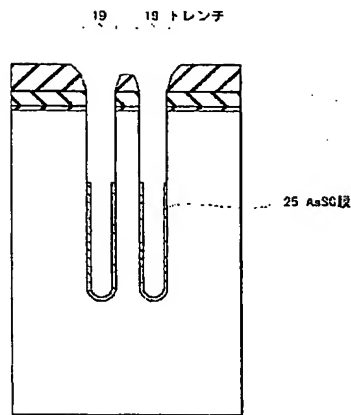
【図20】



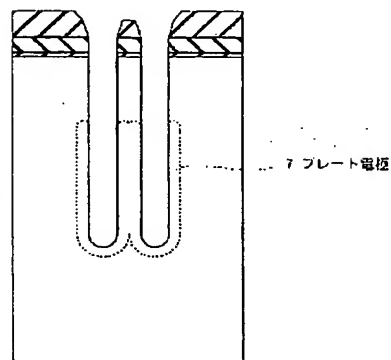
【図15】



【図16】

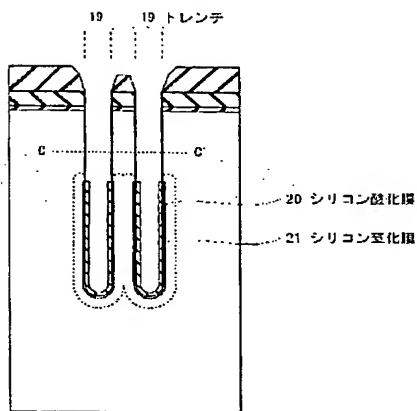


【図18】

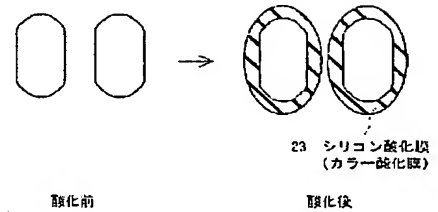
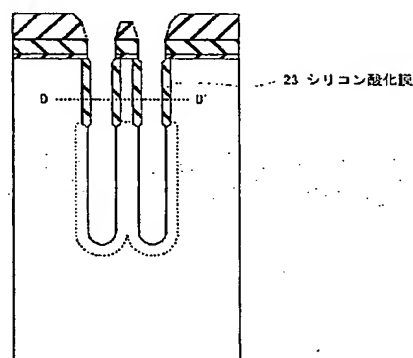


【図22】

【図19】

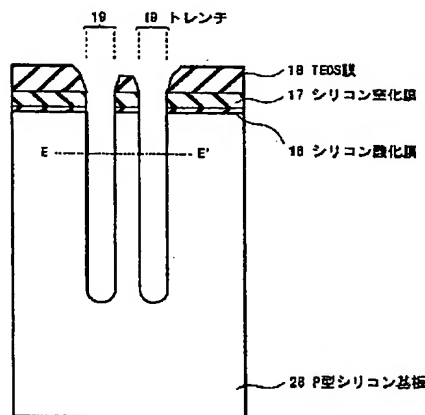


【図21】

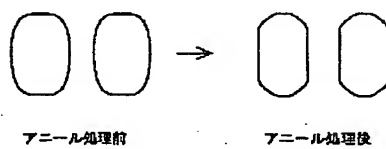


【図25】

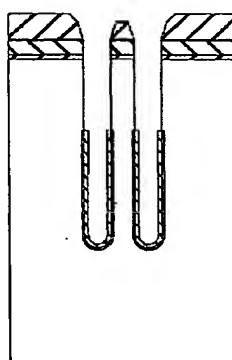
【図23】



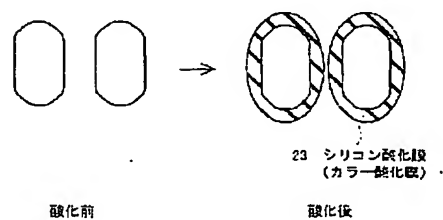
【図24】



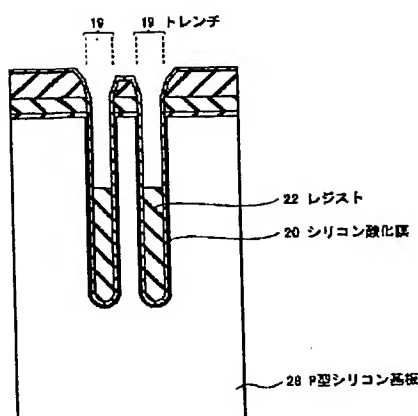
【図28】



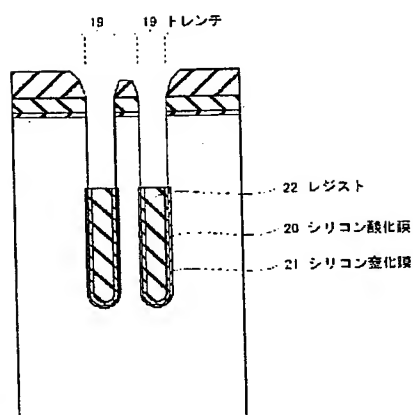
【図30】



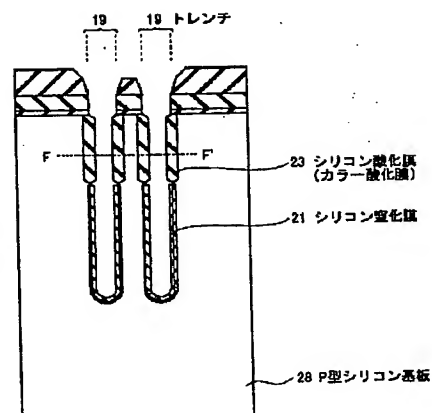
【図26】



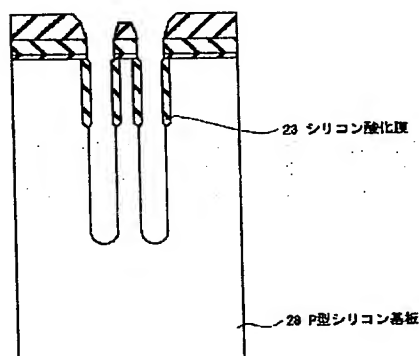
【図27】



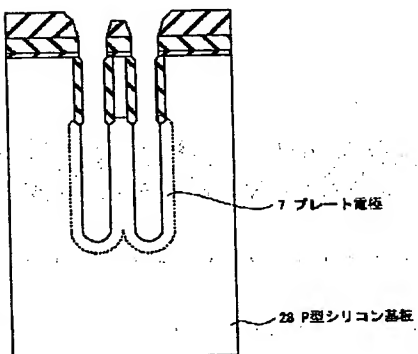
【図29】



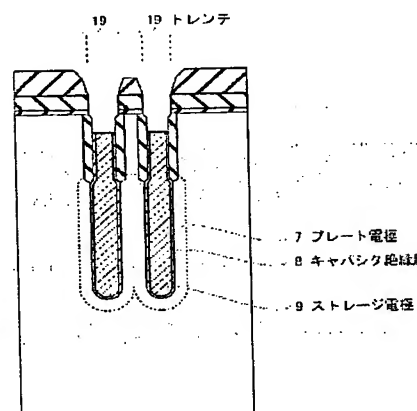
【図31】



【図32】



【図33】



【図34】

(a) Anneal 温度のみの影響

Anneal 温度	マイグレーション速度	シリコン移動度	酸化膜厚の均一性
低温 (<950°C)	遅い	小	処理時間による
高温 (>950°C)	早い	大	処理時間による

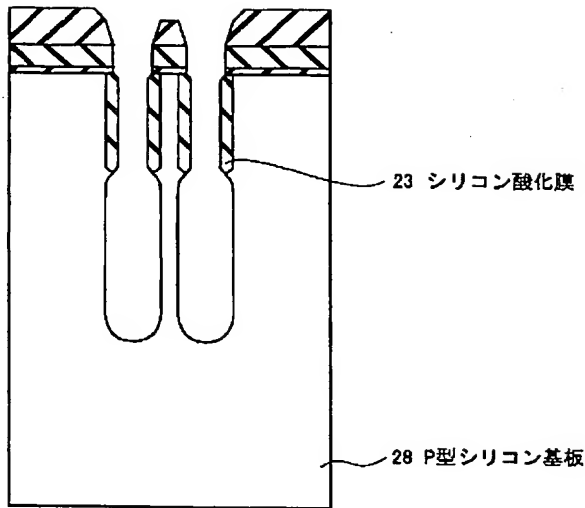
(b) Anneal 圧力のみの影響

Anneal 圧力	マイグレーション速度	シリコン移動度	酸化膜厚の均一性
低圧 (<100torr)	早い	大	処理時間による
高圧 (>100torr)	遅い	小	処理時間による

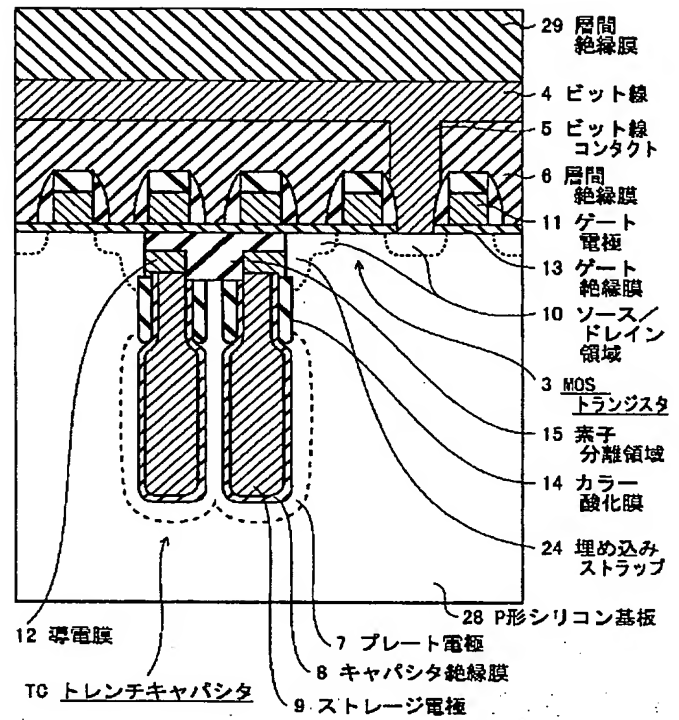
(c) 温度、圧力両方を考慮した場合

Anneal 温度	Anneal 圧力	マイグレーション速度	シリコン移動度	アニール処理時間	酸化膜厚の均一性
低温 (<950°C)	低圧 (<100torr)	中	中	中	△
	高圧 (>100torr)	小	小	長	⊙
高温 (>950°C)	低圧 (<100torr)	大	大	短	×
	高圧 (>100torr)	中	中	中	△

【図35】



【図36】



THIS PAGE BLANK (USPTO)